

日 本 国 特 許 庁
JAPAN PATENT OFFICE

29.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 5 日
Date of Application:

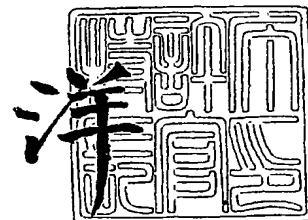
出 願 番 号 特 願 2 0 0 3 - 3 9 3 3 2 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 9 3 3 2 0]

出 願 人 松 下 電 器 産 業 株 式 有 限 公 司
Applicant(s):

2 0 0 5 年 1 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 2022050213
【提出日】 平成15年11月25日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 内田 正雄
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 北畠 真
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 楠本 修
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 山下 賢哉
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 高橋 邦方
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 宮永 良子
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、上記半導体基板の上に設けられ、結晶面から 10 度以下の角度だけオフカット方向に傾いた上面を有する炭化珪素層と、上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極とを備え、

駆動時には、上記炭化珪素層のうち上記ゲート絶縁膜の下に位置する領域がチャネル層となり、

上記チャネル層において、基板面に平行な方向のうちで最も電流量が多い方向は、上記オフカット方向に沿った方向である、半導体素子。

【請求項 2】

請求項 1 に記載の半導体素子であって、

上記オフカット方向に沿った方向とは、上記オフカット方向からの傾きが 5 度以内の方向である、半導体素子。

【請求項 3】

請求項 1 または 2 に記載の半導体素子であって、

上記チャネル領域には、少なくとも 1 層の第 1 炭化珪素層と、第 1 炭化珪素層よりも第 1 導電型の不純物濃度が高くかつ第 1 炭化珪素層の膜厚よりも薄い、少なくとも 1 層の第 2 炭化珪素層とを有する積層構造が設けられている、半導体素子。

【請求項 4】

請求項 1～3 のうちいずれか 1 項に記載の半導体素子であって、

上記炭化珪素層では、結晶面の面内方向における電子移動度よりも、上記結晶面に対する垂直方向における電子移動度の方が大きい、半導体素子。

【請求項 5】

請求項 1～4 のうちいずれか 1 項に記載の半導体素子であって、

上記炭化珪素層は、4H-SiC である、半導体素子。

【請求項 6】

請求項 1～5 のうちいずれか 1 項に記載の半導体素子であって、

上記炭化珪素層の上面は、(0001) 面から $\langle 11-20 \rangle$ 方向に傾いた面である、半導体素子。

【請求項 7】

請求項 1～6 のうちいずれか 1 項に記載の半導体素子であって、

上記炭化珪素層の上面は、(0001) 面から $\langle 1-100 \rangle$ 方向に傾いた面である、半導体素子。

【請求項 8】

請求項 1～7 のうちいずれか 1 項に記載の半導体素子であって、

上記チャネル層と上記ゲート絶縁膜との界面において、炭化珪素の伝導帯の準位より 0.1 eV 小さい準位における界面準位密度が $5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下である、半導体素子。

【請求項 9】

請求項 1～8 のうちいずれか 1 項に記載の半導体素子であって、

上記ゲート絶縁膜は、上記炭化珪素層の上部を熱酸化した後に、V 族元素を含む化合物を含む雰囲気中で熱処理することにより形成された、半導体素子。

【請求項 10】

請求項 9 に記載の半導体素子であって

上記 V 族元素を含む化合物は、酸化窒素である、半導体素子。

【請求項 11】

請求項 1～10 のうちいずれか 1 項に記載の半導体素子であって、

上記炭化珪素層は第 1 導電型の不純物を含み、

上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、

上記半導体基板の下方に設けられたドレイン電極と、

上記炭化珪素層のうち少なくとも上記ソース電極の下に位置する領域に設けられ、上記チャネル層に接する第1導電型のソース領域と、

上記炭化珪素層のうち上記ソース領域の側方および下方を囲む第2導電型のウェル領域と、

上記ウェル領域と電氣的に接続されるベース電極とをさらに備える、半導体素子。

【請求項12】

請求項11に記載の半導体素子であって、

上記ソース電極は、上記ベース電極と同一の膜で設けられている、半導体素子。

【請求項13】

請求項11または12に記載の半導体素子であって、

上記ゲート電極は、平面視して多角形がくり抜かれた形状で設けられ、

上記多角形におけるくり抜かれた部分は、上記オフカット方向に垂直な方向に沿った辺を有し、上記オフカット方向に垂直な方向に沿った辺は、上記多角形における他の長さ以上である、半導体素子。

【請求項14】

請求項13に記載の半導体素子であって、

平面視して、上記ソース電極は多角形の形状で配置し、上記ゲート電極は上記ソース電極と離間して、かつ上記ソース電極の側方を囲む形状で配置している、半導体素子。

【請求項15】

請求項11または12に記載の記載の半導体素子であって、

上記ゲート電極は、平面視して多角形の形状で設けられ、

上記多角形は上記オフカット方向に垂直な方向に沿った辺を有し、上記オフカット方向に垂直な方向に沿った辺は、上記多角形における他の辺の長さ以上である、半導体素子。

【請求項16】

請求項15に記載の半導体素子であって、

平面視して、上記ソース電極は、ストライプ状に並ぶ複数の第1矩形部と、上記複数の第1矩形部の端部を接続する第1接続部とを有する櫛形に配置し、上記ゲート電極は、上記複数の第1矩形部のそれぞれと交互に配置するストライプ状の複数の第2矩形部と、上記第2矩形部の端部を接続する第2接続部とを有する櫛形に配置している、半導体素子。

【請求項17】

請求項1～10のうちいずれか1項に記載の半導体素子であって、

上記炭化珪素層内に設けられ、第1導電型の不純物を含むベース領域と、

上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、

上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたドレイン電極と、

上記炭化珪素層のうち少なくとも上記ソース電極および上記ドレイン電極の下に位置する領域に設けられた第2導電型の不純物層と、

上記ベース電極と電氣的に接続されるベース電極とをさらに備える、半導体素子。

【請求項18】

請求項17に記載の半導体素子であって、

上記ソース電極は、上記ベース電極と同一の膜で設けられている、半導体素子。

【請求項19】

請求項17または18に記載の半導体素子であって、

上記ゲート電極は多角形の形状で設けられ、

上記多角形は上記オフカット方向に垂直な方向に沿った辺を有し、上記オフカット方向に垂直な方向に沿った辺は、上記多角形における他の辺の長さ以上である、半導体素子。

【書類名】 明細書

【発明の名称】 半導体素子

【技術分野】

【0001】

本発明は高耐圧、炭化珪素を用いた絶縁ゲート型半導体素子に関するものであり、特に、大電流のスイッチング素子を実現するMOSFETに関するものである。

【背景技術】

【0002】

炭化珪素（シリコンカーバイド、SiC）は、珪素（Si）に比べて高硬度でワイドバンドギャップを有する半導体であり、パワー素子や耐環境素子、高温動作素子、高周波素子等へ応用されている。

【0003】

SiCを用いたスイッチング素子の代表的なものとして、例えば以下の特許文献1に開示されるようなMOSFETが知られている。図11（a）、（b）は、SiCを用いた一般的な縦型蓄積型MOSFETを示す図である。なお、一般的な縦型のMOSFETにおいて、ユニットセルとは、ソース電極を中心とした電極の配置をいうのに対し、図11（a）、（b）では、ゲート電極を中心とした電極の配置を示している。つまり、図11（a）、（b）では、2つのユニットセルの結合部を示している。ここで、図11（a）は、MOSFETの電極の一部を上方から見た平面図であり、図11（b）は、図11（a）に示すXI-XI線における断面図である。

【0004】

図11（a）、（b）に示すように、従来の縦型蓄積型MOSFETでは、 n^+ 型の4H-SiCからなる半導体基板101と、半導体基板101の上に設けられ、 n 型の4H-SiCからなる n 型炭化珪素層102と、 n 型炭化珪素層102の上部のうち2つのユニットセルの結合部の両側方に位置する領域に設けられ、例えばアルミニウムが注入された p 型ウェル領域103と、 n 型炭化珪素層102のうち2つの p 型ウェル領域103に挟まれる領域の上から、その2つの p 型ウェル領域103の上に亘って延びる、例えば n 型の4H-SiCからなるチャンネル層104と、 p 型ウェル領域103の上部に、チャンネル層104の外側方と接するように設けられ、例えば窒素が注入されたソース領域105と、チャンネル層104の上から、ソース領域105の一部の上に亘って設けられたゲート絶縁膜106と、ゲート絶縁膜106の上に設けられたゲート電極107と、ソース領域105の上から、 n 型炭化珪素層102のうちソース領域105の外側方に位置する部分の上に亘って設けられたソース電極108と、半導体基板101の下面上に設けられたドレイン電極109とを備えている。

【0005】

ソース電極108は、 p 型ウェル領域103と電氣的に接続されるベース電極としての役割を兼ね備えた構造を有している。

【0006】

MOSFETをONの状態にするためには、ドレイン電極109にプラスの電圧を印加し、ソース電極108を接地し、ゲート電極107にプラスの電圧を印加する。これにより、MOSFETのスイッチング動作が可能となる。

【0007】

ここで、MOSFETがONの状態になると、キャリアである電子は、図11（a）、（b）に示すように、まず、基板面に平行な方向に流れる。その後、電子は、図11（b）に示すように、基板面に垂直な方向に流れる。なお、図11（a）、（b）に示す矢印は、キャリアである電子の進む方向を示しており、電流はこの矢印と逆の向きに流れる。ここで注目すべきなのが、図11（a）に示す電子の進行方向である。ソース電極108やゲート電極107が、基板のオフカット方向Aと垂直な方向にキャリアが移動するように配置されている。なお、「オフカット方向」とは、結晶面から数度傾いたオフカット面がある場合に、オフカット面内の方向であって、結晶面に対する法線ベクトルからオフ

カット面に対する法線ベクトルに向かう方向をいう。以下に、電極の配置の理由について、図12を参照しながら説明する。図12は、炭化珪素基板の表面および断面の概略を示す斜視図である。

【0008】

図12に示す炭化珪素基板は、(0001)面に対して所定角度だけオフカットされた基板面を有している。図12では、基板面、すなわちオフカット面を水平に示している。一般的に、炭化珪素基板を用いて素子を形成する場合には(0001)面のオフカット基板が用いられる。その理由は、(0001)面に対する所定のオフカット面をエピタキシャル成長によって形成するときには、ポリタイプ制御が容易であるからである。なお、オフカット面としては、例えば、 $4H-SiC(0001)$ に対して、 $\langle 11-20 \rangle$ 方向(ここでは $11\bar{2}0$ という意味である。)に約8度オフカットされた面を形成する。

【0009】

ただし、オフカット面を基板面に有する基板に対して、エピタキシャル成長や不純物活性化のための熱処理などの高温の処理を適用すると、基板面にはオフカット方向に対して垂直な方向にステップバンチングが形成されてしまうことがある。例えば、オフカット方向が $\langle 11-20 \rangle$ 方向である場合には、ステップバンチングが、 $\langle 11-20 \rangle$ 方向に対して垂直な方向である $\langle 1-100 \rangle$ 方向に形成される。ステップバンチングは、50~100nm程度の凹凸になり、これが原因となって電気特性の異方性が生じることがある。従来では、オフカット方向(ステップバンチングを横切る方向)と、オフカット方向に垂直な方向(ステップバンチングと平行な方向)とで、電子移動度は例えば1桁以上異なる。

【0010】

以上の理由から、電流量の大きい半導体装置を製造するためには、オフカット方向に対して垂直な方向に電流を流すように電極の方向を設計する必要がある。チャネル層104において、複数の方向に電流が流れる場合には、それらの方向のうち最も電流量の多い方向をオフカット方向に対して垂直な方向に合わせて設計する必要がある(例えば、特許文献1参照)。

【特許文献1】特開2001-144288号公報

【特許文献2】PCT/JP98/01185

【発明の開示】

【発明が解決しようとする課題】

【0011】

上述したように、従来では、ステップバンチングが形成されることによって、ステップバンチングに平行な方向の電子移動度が大きくなり、ステップバンチングに対して垂直な方向の電子移動度が小さくなるという前提で、素子の配置が決定されていた。また、表面にステップバンチングが形成されていない場合であっても、炭化珪素内部に積層欠陥などの結晶欠陥が内在し、オフカット方向に対して平行な方向の電子移動度が、オフカット方向に対して垂直な方向の電子移動度よりも小さくなることがあった。(文章の順番を入れ替えました。)しかしながら、電流方向の異方性が逆転する場合があります、その場合には、素子の電気特性をより低くしてしまうことがあった。

【0012】

本発明の目的は、上述の課題を解決する手段を講ずることにより、より電気特性が優れた炭化珪素半導体素子を提供することにある。

【課題を解決するための手段】

【0013】

本発明の半導体素子は、半導体基板と、上記半導体基板の上に設けられ、結晶面から10度以下の角度だけオフカット方向に傾いた上面部を有する炭化珪素層と、上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極とを備え、駆動時には、上記炭化珪素層のうち上記ゲート絶縁膜の下に位置する領域がチャネル層となり、上記チャネル層において、基板面に平行な方向のうちで最も電流量が多い方

向は、上記オフカット方向に沿った方向である。

【0014】

このように、オフカット方向に沿った方向に電流が流れるようにゲート電極を配置することにより、より電気特性を向上させることができる。また、電流方向の異方性が逆転するおそれもなくなる。これらは、以下の理由による。従来では、高温の熱処理の際に炭化珪素層のオフカット方向に垂直な方向にステップバンチングが形成され、ステップバンチングに平行な方向の電子移動度が大きかった。これに対し、本発明の半導体素子はV族元素を含む化合物を用いて熱処理を行う工程を経て形成されるので、炭化珪素層の上面にステップバンチングが形成されていても、チャネル層が形成されるゲート絶縁膜と炭化珪素層の界面において本来の性質が保たれる。炭化珪素層では、本来、オフカット方向に沿った方向において電子移動度が最も高くなる。したがって、本発明では、高い電子移動度を得ることができるのである。

【0015】

上記オフカット方向に沿った方向は、上記オフカット方向から5度以内だけ傾いた方向であることにより、高い電子移動度を得ることができる。

【0016】

上記チャネル領域には、少なくとも1層の第1炭化珪素層と、第1炭化珪素層よりも第1導電型の不純物濃度が高くかつ第1炭化珪素層の膜厚よりも薄い、少なくとも1層の第2炭化珪素層とを有する積層構造が設けられていてもよく、この場合には、デルタドープ層を有する半導体素子において、高い電子移動度を得ることができる。

【0017】

上記炭化珪素層において、結晶面の面内方向における電子移動度よりも、上記結晶面に対する垂直方向における電子移動度の方が大きい場合に、本発明は有効である。

【0018】

上記炭化珪素層は、4H-SiCであってもよい。

【0019】

上記炭化珪素層の上面は、(0001)面から $\langle 11-20 \rangle$ 方向に傾いた面であってもよい。

【0020】

上記炭化珪素層の上面は、(0001)面から $\langle 1-100 \rangle$ 方向に傾いた面であってもよい。

【0021】

上記チャネル領域と上記ゲート絶縁膜との界面において、炭化珪素の伝導帯の準位より0.1 eV小さい準位における界面準位密度が $5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下である場合には、炭化珪素層の上面部とゲート酸化膜との間にステップバンチングが発生していても発生していなくても良好な界面が形成されているので、この場合の炭化珪素層では、オフカット方向における電子移動度が高くなっている。

【0022】

上記ゲート絶縁膜が、上記炭化珪素層の上部を熱酸化した後に、V族元素を含む化合物を含む雰囲気中で熱処理することにより形成された場合には、上記界面準位密度を低下させることができ、その結果、オフカット方向における電子移動度が高くなる。

【0023】

上記V族元素を含む化合物が、酸化窒素(N_xO_y ($x, y = 1, 2, \dots$))である場合には、高い効果を得ることができる。

【0024】

ここで、上記ゲート絶縁膜が、上記炭化珪素層の上部をV族元素を含む化合物を含む雰囲気中で熱酸化することにより形成された場合であっても、ゲート絶縁膜と炭化珪素層の界面は良好なものが得られ、特に上記の酸化窒素を含む雰囲気中で熱酸化して形成されたゲート絶縁膜も本発明に対して有効に働く。

【0025】

上記炭化珪素層が第1導電型の不純物を含み、上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、上記半導体基板の下方に設けられたドレイン電極と、上記炭化珪素層のうち少なくとも上記ソース電極の下に位置する領域に設けられ、上記チャネル層に接する第1導電型のソース領域と、上記炭化珪素層のうち上記ソース領域の側方および下方を囲む第2導電型のウェル領域と、上記ウェル領域と電気的に接続されるベース電極とをさらに備える場合には、縦型のMOSFETにおいて、高い電子移動度を得ることができる。

【0026】

上記ソース電極は、上記ベース電極と同一の膜で設けられていてもよい。

【0027】

なお、チャネル層において電流が最も多く流れる方向を直接的に検証するためには、電極の辺の長さを比較すればよい。つまり、上記ゲート電極は、平面視して多角形がくり抜かれた形状で設けられている場合があり、上記多角形におけるくり抜かれた部分が、上記オフカット方向に垂直な方向に沿った辺を有し、上記オフカット方向に垂直な方向に沿った辺が、上記多角形における他の長さ以上である場合には、オフカット方向に沿った方向において電流が最も多く流れると検証することができる。

【0028】

この場合には、平面視して、上記ソース電極は多角形の形状で配置し、上記ゲート電極は上記ソース電極と離間して、かつ上記ソース電極の側方を囲む形状で配置していてもよい。

【0029】

また、上記ゲート電極が、平面視して多角形の形状で設けられている場合もあり、上記多角形が上記オフカット方向に垂直な方向に沿った辺を有し、上記オフカット方向に垂直な方向に沿った辺は、上記多角形における他の辺の長さ以上である場合には、オフカット方向に沿った方向において電流が最も多く流れると検証することができる。

【0030】

この場合には、平面視して、上記ソース電極は、ストライプ状に並ぶ複数の第1矩形部と、上記複数の第1矩形部の端部を接続する第1接続部とを有する櫛形に配置し、上記ゲート電極は、上記複数の第1矩形部のそれぞれと交互に配置するストライプ状の複数の第2矩形部と、上記第2矩形部の端部を接続する第2接続部とを有する櫛形に配置していてもよい。

【0031】

半導体素子が、上記炭化珪素層内に設けられ、第1導電型の不純物を含むベース領域と、上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたドレイン電極と、上記炭化珪素層のうち少なくとも上記ソース電極および上記ドレイン電極の下に位置する領域に設けられた第2導電型の不純物層と、上記ベース電極と電気的に接続されるベース電極とをさらに備えている場合には、横型のMOSFETにおいて、高い電子移動度を得ることができる。

【0032】

上記ソース電極は、上記ベース電極と同一の膜で設けられていてもよい。

【0033】

上記ゲート電極は多角形の形状で設けられている場合もあり、この場合には、上記多角形は上記オフカット方向に垂直な方向に沿った辺を有し、上記オフカット方向に垂直な方向に沿った辺は、上記多角形における他の辺の長さ以上である場合には、オフカット方向に沿った方向において電流が最も多く流れると検証することができる。

【発明の効果】**【0034】**

本発明の半導体素子では、ステップバンチングやその他の良好でない界面状態によって低下した炭化珪素層の電子移動度が本来の特性を実現できた場合に、従来の構造に比べて優れた電気特性を得ることができる。

【発明を実施するための最良の形態】

【0035】

以下に、本発明の実施の形態について図面を参照しながら説明する。

【0036】

(第1の実施形態)

図1(a), (b)は、第1の実施形態において、炭化珪素層を用いた一般的な縦型蓄積型MOSFETの2つのユニットセルの結合部を示す断面図である。ここで、図1(a)は、MOSFETの電極の一部を上方から見た平面図であり、図1(b)は、図1(a)のI-I線における断面図である。

【0037】

図1(a), (b)に示すように、本実施形態の半導体装置は、 n^+ 型の4H-SiC(0001)の半導体基板11を有している。半導体基板11は、 $\langle 11-20 \rangle$ 方向に約8度オフカットした表面を有しており、その抵抗率は約 $0.02 \Omega \text{cm}^2$ である。半導体基板11の上には、4H-SiC(0001)のn型炭化珪素層12が設けられている。その厚さは約 $15 \mu\text{m}$ であり、濃度 $3 \times 10^{15} \text{cm}^{-3}$ の窒素がドーピングされている。n型炭化珪素層12は、半導体基板11の上にエピタキシャル成長により形成されたものであり、n型炭化珪素層12の上面も、半導体基板11の影響を受けて $\langle 11-20 \rangle$ 方向にオフ角を有している。

【0038】

n型炭化珪素層12の上部のうち2つのユニットセルの結合部の両側方に位置する領域には、p型のウェル領域13が設けられている。p型ウェル領域13は、例えばアルミニウムが約 $2 \times 10^{18} \text{cm}^{-3}$ の濃度で $0.8 \mu\text{m}$ 程度の深さだけ注入した後に、約 1700° の高温でアニールすることにより形成する。

【0039】

n型炭化珪素層12のうち2つのp型ウェル領域に挟まれる領域の上から、その2つのp型ウェル領域の上に延びるように、n型4H-SiCからなるチャネル層14が形成されている。ここでは、チャネル層14は、アンドープ層と約 $5 \times 10^{17} \text{cm}^{-3}$ のn型不純物を含むドーピング層とを交互に積層したデルタドーピング層である。チャネル層14の厚さは約 $0.2 \mu\text{m}$ となる。

【0040】

p型ウェル領域13の上部にはソース領域15が形成されている。ソース領域15は、チャネル層14の外側方と接するように設けられている。ソース領域15は、例えば、窒素が約 $1 \times 10^{19} \text{cm}^{-3}$ の濃度で $0.3 \mu\text{m}$ 程度の深さだけ注入した後に、約 1700° の高温でアニールすることにより形成する。

【0041】

基本的には、ソース領域15は、p型ウェル領域の一部にn型不純物を注入することにより形成され、MOSFET10は、いわゆる二重注入型のMOSFET(DIMOSFET)である。

【0042】

また、図1においては、ソース領域はチャネル層を挟んだ構成となっており、p型ウェル領域を形成した上からチャネル層を堆積し、さらにチャネル層の上からn型不純物注入を行うことでソース領域を形成するが、例えばp型ウェル領域とソース領域を形成した後にチャネル層を形成したような半導体素子であっても構わない。

【0043】

チャネル層14の上からソース領域15の一部の上には、厚さ約 60nm のゲート絶縁膜16が設けられている。ゲート絶縁膜16は、ソース領域15およびチャネル層14の上部を熱酸化した後、V族元素を含む雰囲気下で熱処理することにより形成される。この熱処理の方法については後述する。

【0044】

ゲート絶縁膜16の上には、アルミニウムからなるゲート電極17が設けられている。

【0045】

ソース領域15の上から、n型炭化珪素層12のうちソース領域15の外側方に位置する部分の上に亘って、ニッケルからなるソース電極18が設けられている。ソース電極18は、ニッケル膜を形成した後に約1000度の温度で熱処理することにより形成する。この熱処理により、ソース電極18とソース領域15とはオーム接触となる。ソース電極18は、p型ウェル領域13に電氣的に接続されるベース電極としての役割を兼ね備えた構造を有している。ここで、ソース電極18とp型ウェル領域13との間の電気抵抗を低減するために、p型ウェル領域13のうち界面に位置する部分に、他の領域よりも高い濃度のアルミニウムをイオン注入してp⁺形のイオン注入領域を形成していてもよい。

【0046】

半導体基板11の裏面上には、ニッケルからなるドレイン電極19が設けられている。ドレイン電極19は、ニッケル膜を形成した後に約1000度の温度で熱処理することにより形成する。この熱処理により、ドレイン電極19と半導体基板11とはオーム接触となる。

【0047】

ゲート電極17の上は層間絶縁膜1Aに覆われており、層間絶縁膜1Aおよびソース電極18の上は、上部配線電極1Bに覆われている。

【0048】

本実施形態のMOSFET10をONの状態にするためには、ドレイン電極19にプラスの電圧を印加し、ソース電極18を接地し、ゲート電極17にプラスの電圧を印加する。これにより、MOSFET10のスイッチング動作が可能となる。

【0049】

MOSFET10がONの状態になると、キャリアである電子は、図1(a), (b)に示すように、まず、基板面に平行な方向に流れる。ここで、本実施形態では、オフカット方向Aに対して平行な方向に電子が流れる点が従来と異なる。その後、電子は、図1(b)に示すように、基板面に垂直な方向に流れる。なお、図1(a), (b)に示す矢印は、キャリアである電子の進む方向を示しており、電流は、この矢印と逆の向きに流れる。

【0050】

ここで、ゲート絶縁膜16を形成した後に熱処理を行う方法について、図面を参照しながら詳細に説明する。なお、この方法は、本出願人による先願の特願2003-350244に記載された発明であり、本明細書では、上記出願の内容を援用することとする。

【0051】

図2(a)～(c)は、SiC-酸化物積層体を形成する手順を示す断面図である。本実施形態においては、V族元素として、窒素を用いるが、リン(P), 砒素(As)等の他のV族元素を用いてもよい。

【0052】

まず、図2(a)に示す工程で、4H-SiC(0001)基板であるSiC基板20を準備する。SiC基板20の上部(同図に示す破線よりも上方の部分)は、エピタキシャル成長により形成された4H-SiC(0001)層である。そして、SiC基板20(エピタキシャル成長されたSiC層)の主面は、MCP(メカノケミカル研磨)によって、凹凸(最大表面粗さR_{max})が10nm以下になるように平滑化される。ただし、この平滑化処理は必ずしも必要ではない。

【0053】

次に、図2(b)に示す工程で、SiC基板20をチャンバ30内に設置して、酸化性雰囲気下でSiC基板20を加熱することにより、SiC基板20上に、平均厚さ約60nmの酸化物層21(主としてSiO₂を含む層)を形成する。この場合、酸化温度は1000℃以上であり、好ましくは1050℃～1300℃である。酸化性雰囲気を生じさせるためには、チャンバ30内に、酸素、水蒸気のうち少なくともいずれか1つを含むガ

スの流ればよい。その後、不活性ガス（Ar, N₂, He, Ne等）雰囲気中で、100℃以上の温度（例えば、1000℃～1150℃）でアニールする。このアニール処理によって、酸化物層21が前もって緻密化される。

【0054】

次に、図2(c)に示す工程で、SiC基板20を、除害装置（図示せず）及び減圧装置である真空ポンプ31が付設されたチャンバ30内に移動させて、チャンバ30内を真空ポンプ31によって約300 Torr (4.0×10^4 Pa) に減圧しつつ、チャンバ30内に流量500 (ml/min) のNOガス（又は、リン(P)などの窒素以外のV族元素含有ガス）を流し、チャンバ30内を窒素(N)（又は窒素以外のV族元素）が酸化物層11中に拡散するのに十分に高い温度（約1100℃）に加熱する。このとき、減圧下で、酸化物層21を窒素などのV族元素を含むガスに暴露することにより、酸化物層21内に窒素などのV族元素が拡散し、比誘電率が大きく、より緻密なV族元素含有酸化物層22が形成される。暴露は、緻密なV族元素含有酸化物層22を形成するのに充分な、そして、V族元素含有酸化物層22の特性が改良となるのに充分な時間（例えば1 Hr）の間行なう。以上の工程により、熱処理が終了する。

【0055】

次に、本実施形態の半導体素子の配置について、従来と比較しながら説明する。

【0056】

従来では、図12に示すように、基板の上面にはステップバンチングが形成されている。このステップバンチングは、層内にイオン注入された不純物を活性化するための高温熱処理の影響で生じた。ステップバンチングは、オフカット方向に対して垂直な方向に形成されるため、従来では、オフカット方向に垂直な方向により多くのキャリアが流れるように電極等の配置を決定していた。

【0057】

それに対し、本実施形態では、オフカット方向にほぼ平行により多くのキャリアが流れるように素子を配置している。図3は、図1に示す半導体装置において、キャリアの移動する方向と素子の配置との関係を示す平面図である。図3では、ゲート電極17およびソース電極18等の図示を省略し、n型炭化珪素層12、p型ウェル領域13およびn型ソース領域15のみを示している。チャネル層14の図示は省略しているが、チャネル層14は、p型ウェル領域13のうち斜線を付して示す領域の上に位置している。図3に示すように、縦型のMOSFETでは、キャリアが、ソース領域15からn型炭化珪素層12の方に向かって流れる。この方向がオフカット方向Aとほぼ平行になるように素子を配置する。

【0058】

－オフカット方向において電子移動度が大きくなる原理－

従来の半導体素子は、オフカット方向に平行な方向よりも垂直な方向の方が電子移動度が大きいという異方性を有していた。それに対し、本実施形態の半導体装置ではこの異方性が逆転している。これは、本実施形態では、窒素と酸素とを含むガスを用いた熱処理を行うことにより、炭化珪素層とゲート絶縁膜の界面における界面準位密度が低下し、炭化珪素層の本来の性質が保たれるからと考えられる。以下に、炭化珪素基板の電子移動度が、オフカット方向において大きいという理由について考察する。

【0059】

図4(a)は、(0001)面を上面とする炭化珪素基板において、電子の移動する向きと大きさをベクトルにして示す図である。図4(a)では、(0001)面（指定された結晶面S）および紙面に平行なベクトルをaベクトル、(0001)面に平行であって紙面に垂直なベクトルをbベクトル、(0001)面に垂直なベクトルをcベクトルとしている。

【0060】

ここで、(0001)面を上面とする炭化珪素層においては、電子移動度は、基板面内方向よりも基板面に対して垂直な方向で大きくなる。つまり、図4(a)に示すcベクト

ルの方が、ベクトル a およびベクトル b よりも大きい。また、 a ベクトルと b ベクトルとは同じ大きさとなる。

【0061】

次に、炭化珪素基板がオフカット基板の場合を考える。図4 (b) は、(0001) 面に対して角度 θ だけ傾いた面を上面とする炭化珪素基板において、電子の移動する向きと大きさをベクトルにして示す図である。

【0062】

図4 (b) では、 a ベクトルおよび c ベクトルを、オフカット方向とオフカット方向に垂直な方向とに分解して、それぞれ、 a_1 , a_2 , c_1 , c_2 ベクトルとして示す。このとき、オフカット方向の電子移動度を表すベクトルを d ベクトルとすると、 d ベクトルは、 a_1 ベクトルと c_1 ベクトルとの和で表される。

【0063】

ここで、 c ベクトルは a ベクトルよりも大きいので、 d ベクトルは a ベクトルより大きくなる。それに対し、 b ベクトルはオフカット方向に対して垂直であるため、炭化珪素層の上面が (0001) 面であっても、オフカット面であっても、その方向の電子移動度の大きさは変化しない。 a ベクトルと b ベクトルとは同じ大きさであるから、 d ベクトルと b ベクトルの大きさを比べると、明らかに d ベクトルの方が大きくなる。

【0064】

以上のことから、オフカット基板において、オフカット方向の電子移動度 (ベクトル d) は、オフカット方向に垂直な方向の電子移動度 (ベクトル b) よりも大きくなる。

【0065】

もちろん、オフカット基板面内において、 b ベクトルと d ベクトル以外の方向のベクトルを考慮しても、オフカット基板面内ではオフカット方向の電子移動度が一番大きくなることは明白である。

【0066】

—電極の配置例—

図1に示す2つのユニットセルの結合部では、オフカット方向 A に平行な方向にのみ電流を流す例を示した。しかし実際には、縦型の半導体素子では複数の方向に電流を流す場合が多い。この場合には、複数の方向の中で最も電流量の多い方向がオフカット方向と平行になるように素子を配置する。以下に、その構造について説明する。

【0067】

(第1の配置例)

縦型の MOSFET においては、ソース電極 18 およびゲート電極 17 がストライプ状 (または櫛形) に配置されている場合がある。そのような場合について、図5 (a), (b) を参照しながら説明する。

【0068】

図5 (a), (b) は、ゲート電極およびソース電極が櫛形の形状で配置される場合の構造を示す図である。図5 (a) はゲート電極 17 およびソース電極 18 の配置を示し、図5 (b) は、 n 型炭化珪素層 12、 p 型ウェル領域 13 および n 型ソース領域 15 の配置を示している。図5 (a) に示すように、ソース電極 17 では、複数の矩形部がストライプ状に配置し、矩形部のうちの一端は、矩形部の伸びる方向とは垂直な方向に伸びる接続部に接することにより互いに電氣的に接続されている。また、ゲート電極 17 においても、複数の矩形部が、ソース電極 17 における矩形部と交互にストライプ状に配置し、矩形部のうちの一端は、矩形部の伸びる方向とは垂直な方向に伸びる接続部に接することにより互いに電氣的に接続されている。チャネル領域は、図5 (b) の斜線で示す領域に配置している。この場合には、キャリアの移動する方向は方向 A と方向 B との2通りある。そして、チャネル領域は、主に方向 A に対して垂直な方向に延びている。つまり、チャネル領域において、方向 A に沿う電流を流すチャネル領域の幅 W_1 が、その他の方向のチャネル領域の幅 W_2 以上となるように素子を構成する。

【0069】

(第2の配置例)

縦型のMOSFETは、多角形のユニットセルごとに配置され、各ユニットセルでは、ソース電極の側方がゲート電極によって囲まれている場合がある。そのような場合について、図6(a), (b)を参照しながら説明する。

【0070】

図6(a), (b)は、四角形のユニットセルが配置される場合の構造を示す図である。図6(a)はゲート電極17およびソース電極18の配置を示し、図6(b)は、n型炭化珪素層12、p型ウェル領域13およびn型ソース領域15の配置を示している。チャンネル領域は、図6(b)の斜線で示す領域に配置している。

【0071】

この場合には、キャリアの移動する方向は、主に方向Aと方向Bとの2通りある。そして、ユニットセルの長手方向を方向Aに対して垂直に配置すると、方向Aに対して垂直な方向に延びるチャンネル領域の方が平行な方向にのびるチャンネル領域よりも長くなる。つまり、図6(b)に示すように、チャンネル領域において、方向Aに沿う電流を流すチャンネル領域の幅 W_1 が、その他の方向のチャンネル領域の幅 W_2 以上となるように素子を構成する。

【0072】

なお、ここではユニットセルが長方形の場合について説明したが、ユニットセルが平行四辺形や菱形など他の多角形であっても構わない。

【0073】

なお、本実施形態で述べた方法は、チャンネル層としてデルタドープ層を有する場合だけでなく、チャンネル層が通常のn型不純物層である場合にも適用できる。

【0074】

また、本実施形態で述べた方法は縦型反転型MOSFET 60にも適用できる。図7は、縦型反転型MOSFETの構造を示す断面図である。図7のうち図1と異なる点は、チャンネル層14(図1に示す)が形成されていない点である。その他の構造は図1と同様であるので説明を省略する。

【0075】

(第2の実施形態)

図8(a), (b)は、第2の実施形態において、炭化珪素層を用いた一般的な横型蓄積型MOSFETを示す断面図である。ここで、図8(a)は、MOSFETの電極の一部を上方から見た平面図であり、図8(b)は、図8(a)のVII-VII線における断面図である。

【0076】

図8(a), (b)に示すように、本実施形態の半導体装置は、半絶縁性の4H-SiC(0001)の半導体基板71を有している。半導体基板71は、 $\langle 11-20 \rangle$ 方向に約8度オフカットした表面を有している。半導体基板71の上には、4H-SiC(0001)のp型炭化珪素層72が設けられている。その厚さは約 $5\mu\text{m}$ であり、濃度 $5 \times 10^{15} \text{ cm}^{-3}$ のアルミニウムがドープされている。

【0077】

p型炭化珪素層72の上部のうちの中央部には、n型のチャンネル層74が設けられている。ここでは、チャンネル層74は、アンドープ層と、約 $5 \times 10^{17} \text{ cm}^{-3}$ のn型不純物を含むドープ層とを交互に積層したデルタドープ層であるとする。チャンネル層74の厚さは約 $0.2\mu\text{m}$ となる。

【0078】

p型炭化珪素層72のうちチャンネル層74の両側方に位置する領域には、ソース領域75sおよびドレイン領域75dが設けられている。ソース領域75sおよびドレイン領域75dは、例えば、窒素を約 $1 \times 10^{19} \text{ cm}^{-3}$ の濃度で $0.3\mu\text{m}$ 程度の深さだけ注入した後、約1700度の高温でアニールすることにより形成する。

【0079】

基本的には、ソース領域75sおよびドレイン領域75dは、p型ウェル領域の一部にn型不純物を注入することにより形成され、MOSFET70は、いわゆる二重注入型のMOSFET(DIMOSFET)である。

【0080】

また、図7においては、ソース領域とドレイン領域がチャネル層を挟んだ構成となっており、p型ウェル領域を形成した上からチャネル層を堆積し、さらにチャネル層の上からn型不純物注入を行うことでソース領域とドレイン領域を形成するが、例えばp型ウェル領域とソース領域およびドレイン領域を形成した後にチャネル層を形成したような半導体素子であっても構わない。

【0081】

チャネル層74の上からソース領域75sおよびドレイン領域75dのうちの端部の上に亘って、厚さ約60nmのゲート絶縁膜76が設けられている。ゲート絶縁膜76は、チャネル層74、ソース領域75sおよびドレイン領域75dの上部を熱酸化した後に、V族元素を含む雰囲気下で熱処理することにより形成される。

【0082】

ゲート絶縁膜76の上には、アルミニウムからなるゲート電極77が設けられている。

【0083】

ソース領域75sの上にはニッケルからなるソース電極78が設けられ、ドレイン領域75dの上にはニッケルからなるドレイン電極79が設けられている。ソース電極78およびドレイン電極79は、ニッケル膜を形成した後に約1000度の温度で熱処理することにより形成する。この熱処理により、ソース領域75sとソース電極78およびドレイン領域75dとドレイン電極79とは、それぞれオーミック接触となる。

【0084】

p型炭化珪素層72のうちソース領域75sの外側方に位置する領域の上には、ベース電極7Cが設けられている。ベース電極7Cは、p型炭化珪素層72を外部と電氣的に接続するために設けられている。ベース電極7Cとp型炭化珪素層72との間の電気抵抗を低減するために、p型炭化珪素層72のうち界面に位置する部分に、他の領域よりも高い濃度のアルミニウムをイオン注入してp⁺型のイオン注入領域を形成していてもよい。また、ソース電極78とベース電極7Cとが、電氣的に接合されていてもよいし、同一の導体膜からなってもよい。

【0085】

本実施形態のMOSFET70をONの状態にするためには、ドレイン電極79にプラスの電圧を印加し、ソース電極78およびベース電極7Cを接地し、ゲート電極77にプラスの電圧を印加する。これにより、MOSFET70のスイッチング動作が可能となる。

【0086】

MOSFET70がONの状態になると、キャリアである電子は、図8(a)、(b)に示すように、ソース領域75sからドレイン領域75dの方に向かって、基板面にほぼ平行に流れる。ここで、本実施形態では、オフカット方向Aに対して平行な方向に電子が流れる点が従来と異なる。以下に、本実施形態の半導体素子の配置について、図9を参照しながら説明する。図9は、図8に示す半導体装置において、キャリアの移動する方向と素子の配置との関係を示す平面図である。図9では、ゲート電極77、ソース電極78およびドレイン電極79等の図示を省略し、p型炭化珪素層72、n型ソース領域75sおよびn型ドレイン領域75dのみを示している。チャネル層74の図示は省略しているが、チャネル層74は、p型炭化珪素層72のうち斜線を付して示す領域の上に位置している。図9に示すように、横型のMOSFETでは、キャリアが、ソース領域75sからドレイン領域75dの方に向かって流れる。この方向がオフカット方向Aとほぼ平行になるように素子を配置する。

【0087】

横型素子において流れる電流の方向は1方向である場合が多い。横型素子においても、電流方向が1方向だけでない場合もあるが、その時は、基板のオフカット方向Aに平行な方向に流れる電流が支配的となるように素子を配置する。つまり、チャンネル層74の幅のうち、方向Aに沿う電流を流すチャンネル領域の幅W1が、チャンネル層74の幅のうち他の方向の幅以上となるように素子を配置する。

【0088】

なお、本実施形態で述べた方法は、チャンネル層としてアルタドープ層を有する場合だけでなく、チャンネル層が通常のn型不純物層である場合にも適用できる。

【0089】

また、本実施形態で述べた方法は横型反転型MOSFETにも適用できる。図10は、横型反転型MOSFETの構造を示す断面図である。図10のうち図8と異なる点は、チャンネル層74（図8に示す）が形成されていない点である。その他の構造は図8と同様であるので説明を省略する。

【0090】

（その他の実施形態）

なお、上述の実施形態においては、半導体基板として4H-SiCから約8度オフカットされた表面を有する基板を用いた。しかしながら、本発明では、指定された結晶面Sから所定方向Aに10度以下の角度だけ傾いた表面を具備した基板であれば、他の基板を用いてもよい。

【0091】

また、本発明では、例えば、オフカットされたSi基板の上にヘテロエピタキシャル成長させた炭化珪素層を用いてもよい。

【0092】

また、上述の実施形態においては、4H-SiCの炭化珪素層を用いた。しかしながら、本発明では、結晶面の面内方向よりも、結晶面に対する垂直方向の方が電子移動度が大きいという性質を有している他のポリタイプの炭化珪素層を用いてもよい。

【0093】

ここで、結晶面の面内方向よりも結晶面に対する垂直方向の方が電子移動度が小さいという性質を有するポリタイプであっても、そのポリタイプのオフカット基板において、オフカット方向に垂直な方向よりもオフカット方向の方が電子移動度が大きくなる場合があれば、そのようなオフカット基板を用いてもかまわない。

【0094】

また、上述の実施形態では、4H-SiC(0001)基板を、 $\langle 11-20 \rangle$ 方向にオフカットした半導体基板を用いた。しかしながら、本発明では、半導体基板として、 $\langle 11-20 \rangle$ 方向、または $\langle 1-100 \rangle$ 方向にオフカットした基板を用いてもよい。この場合に、半導体基板の上に炭化珪素層をエピタキシャル成長すると、炭化珪素層の上面は(0001)面から $\langle 11-20 \rangle$ 方向、または $\langle 1-100 \rangle$ 方向にオフカットした面となる。ただし、炭化珪素層の上面に所望の面が現れるのであれば、炭化珪素層の下に位置する半導体基板の面方位やオフカット方向は特に限定しない。

【0095】

また、炭化珪素の(0001)面は、一般にはシリコン面を表している。しかし、本発明では、(0001)面の代わりに(000-1)面として表記されるカーボン面を用いても差し支えない。

【0096】

また、炭化珪素において、オフカット方向の電子移動度がその他の方向の電子移動度より大きくなる状態は、MOSFETのチャンネル領域とゲート絶縁膜との界面において、炭化珪素の伝導体の準位より0.1eV小さい準位における界面準位密度が $5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下である場合に実現できる。より好ましくは、上記の界面における界面準位密度は $1 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下とする。逆に、界面準位密度が $5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ より大きい場合には、上記界面に発生するステップバンチングの影響を受けて、従

来の炭化珪素半導体素子のようにオフカット方向（ステップバンチングに対して垂直な方向）の電子移動度はステップバンチングに対して平行な方向の電子移動度より小さくなる。

【0097】

また、上述の実施形態では、炭化珪素層とゲート絶縁膜との間の界面における界面準位密度を低減するために、ゲート絶縁膜を形成した後に酸化窒素（NO）を含む雰囲気下で熱処理を行った。しかし、本発明では、酸化窒素（NO）に限らず、V族元素を含む雰囲気中で熱処理することにより、同様の効果を得ることができる。また、界面準位密度を低減できるのであれば、他の雰囲気中で熱処理を行ってもよいし、他の処理方法を行ってもよい。

【0098】

また、上述の実施形態では、電極材料としてニッケルやアルミニウムを用いたが、本発明では、電極材料はそれらの材料に限定されるものではないし、電極を積層構造にしてもかまわない。

【0099】

また、本発明の炭化珪素半導体素子の製造方法においては、実施の形態で示した製造方法以外の方法であってももちろんかまわないし、特に指定しない限り、説明に用いたプロセスの条件やガス種に制限されることはなく、他の条件であってももちろんかまわない。

【0100】

もちろん、本発明の炭化珪素半導体素子においては、発明の範囲内における基本構造が異ならない限りの種々の変形が可能である。

【産業上の利用可能性】

【0101】

本発明の半導体素子は、ステップバンチングやその他の良好でない界面状態によって低下した炭化珪素層の電子移動度が本来の特性を実現できるため高い電気特性を得ることができる点で産業上の利用可能性は高い。

【図面の簡単な説明】

【0102】

【図1】（a），（b）は、第1の実施形態において、炭化珪素層を用いた一般的な縦型蓄積型MOSFETの2つのユニットセルの結合部を示す断面図である。

【図2】（a）～（c）は、SiC-酸化物積層体を形成する手順を示す断面図である。

【図3】図1に示す半導体装置において、キャリアの移動する方向と素子の配置との関係を示す平面図である。

【図4】（a）は、（0001）面を上面とする炭化珪素基板において、電子の移動する向きと大きさをベクトルにして示す図であり、（b）は、（0001）面に対して角度 θ だけ傾いた面を上面とする炭化珪素基板において、電子の移動する向きと大きさをベクトルにして示す図である。

【図5】（a），（b）は、ゲート電極およびソース電極が楕形の形状で配置される場合の構造を示す図である。

【図6】（a），（b）は、四角形のユニットセルが配置される場合の構造を示す図である。

【図7】縦型反転型MOSFETの構造を示す断面図である。

【図8】（a），（b）は、第2の実施形態において、炭化珪素層を用いた一般的な横型蓄積型MOSFETを示す断面図である。

【図9】図7に示す半導体装置において、キャリアの移動する方向と素子の配置との関係を示す平面図である。

【図10】横型反転型MOSFETの構造を示す断面図である。

【図11】（a），（b）は、SiCを用いた一般的な縦型蓄積型MOSFETの2つのユニットセルの結合部を示す図である。

【図 12】炭化珪素基板の表面および断面の概略を示す斜視図である。

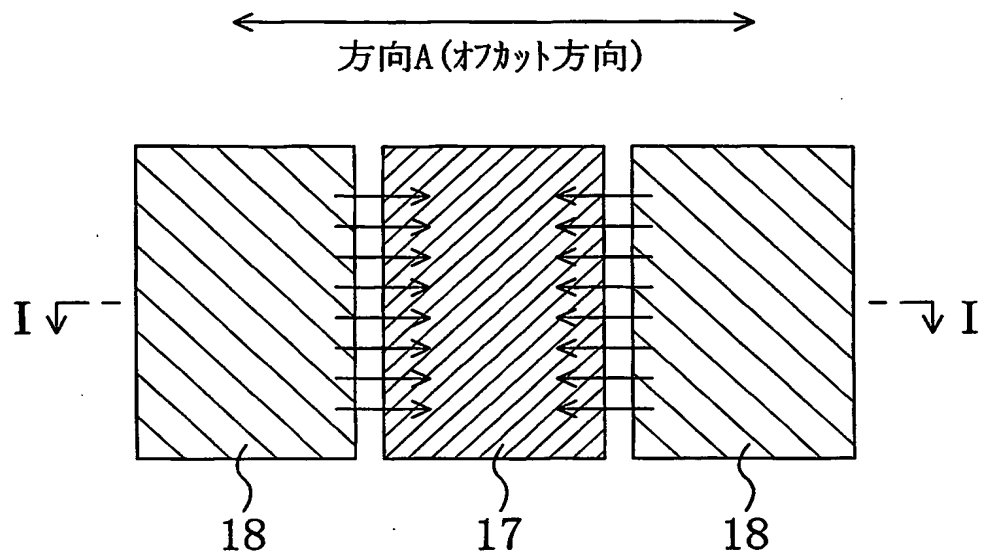
【符号の説明】

【0103】

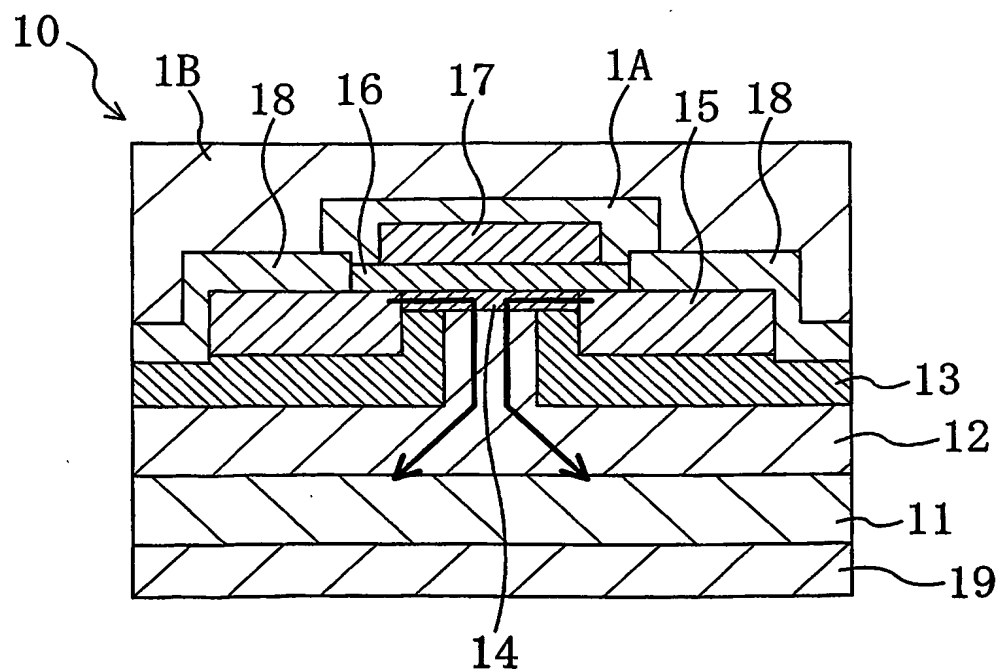
1 A	層間絶縁膜
1 B	上部配線電極
7 C	ベース電極
10	縦型蓄積型 MOSFET
11	半導体基板
12	n 型炭化珪素層
13	p 型ウェル領域
14	チャネル層
15	n 型ソース領域
16	ゲート絶縁膜
17	ゲート電極
18	ソース電極
19	ドレイン電極
20	SiC 基板
21	酸化物層
30	チャンバ
31	真空ポンプ
60	縦型反転型 MOSFET
70	横型蓄積型 MOSFET
71	半導体基板
72	p 型炭化珪素層
74	チャネル層
75 d	ドレイン領域
75 s	ソース領域
76	ゲート絶縁膜
77	ゲート電極
78	ソース電極
79	ドレイン電極
90	横型反転型 MOSFET
101	半導体基板
102	n 型炭化珪素層
103	p 型ウェル領域
104	チャネル層
105	ソース領域
106	ゲート絶縁膜
107	ゲート電極
108	ソース電極
109	ドレイン電極

【書類名】 図面
【図 1】

(a)

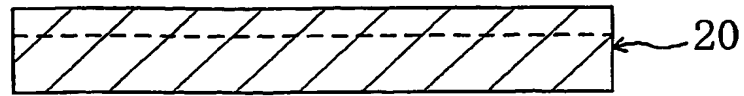


(b)

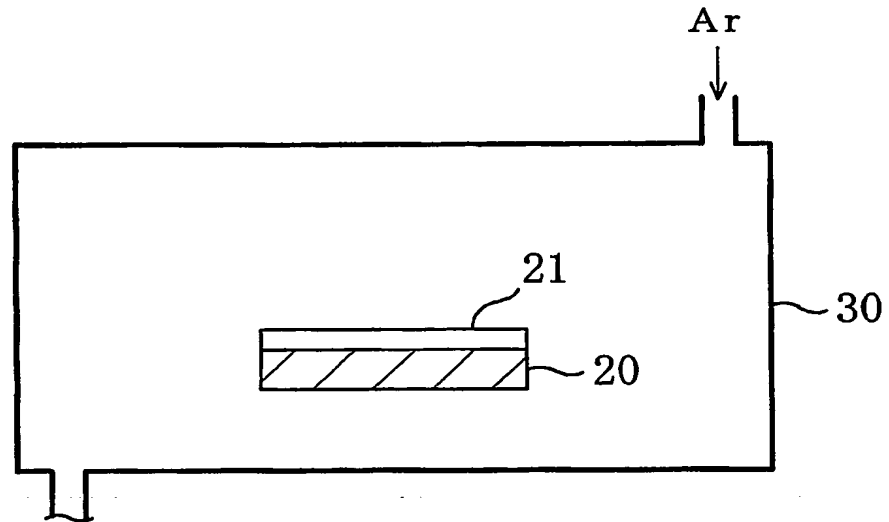


【図 2】

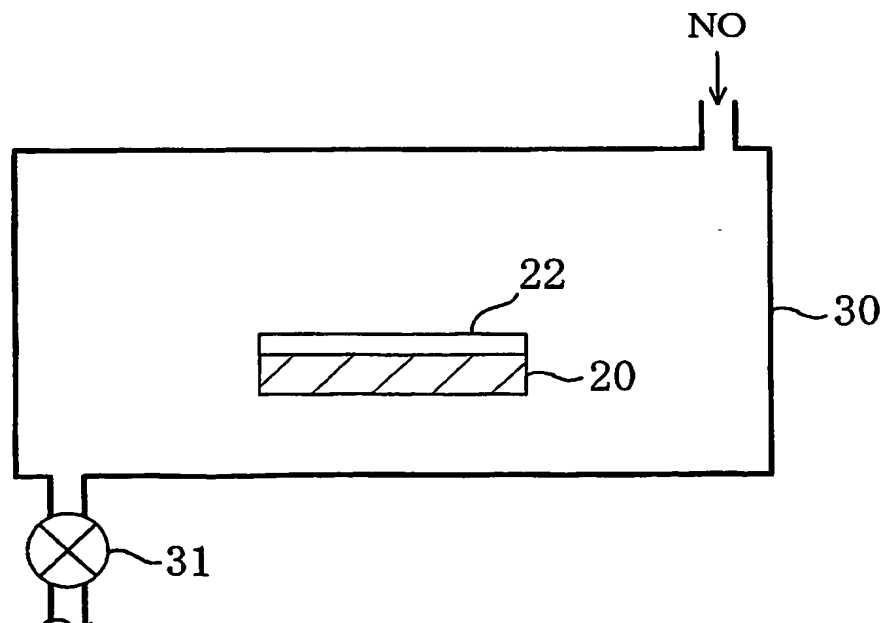
(a)



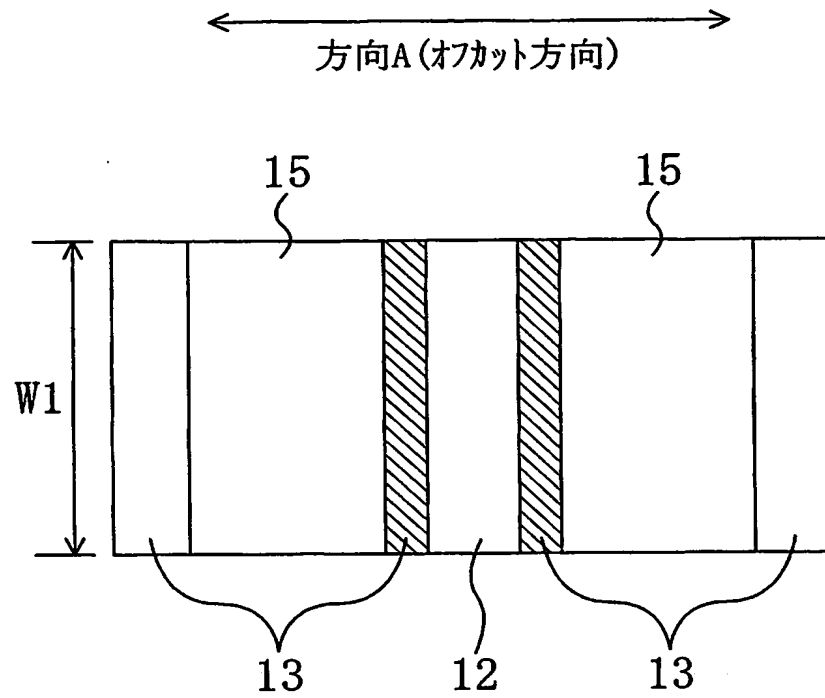
(b)



(c)

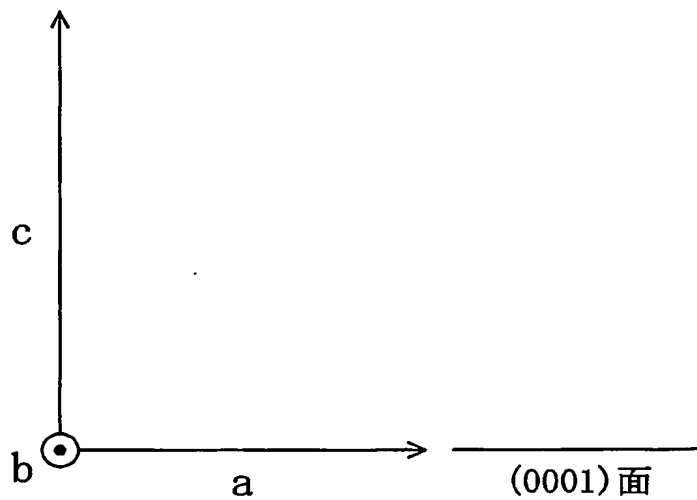


【図 3】

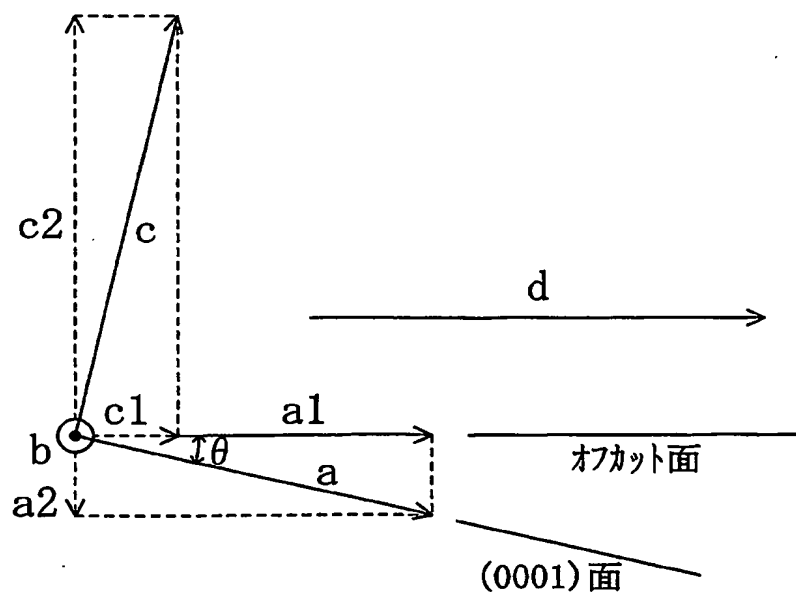


【図 4】

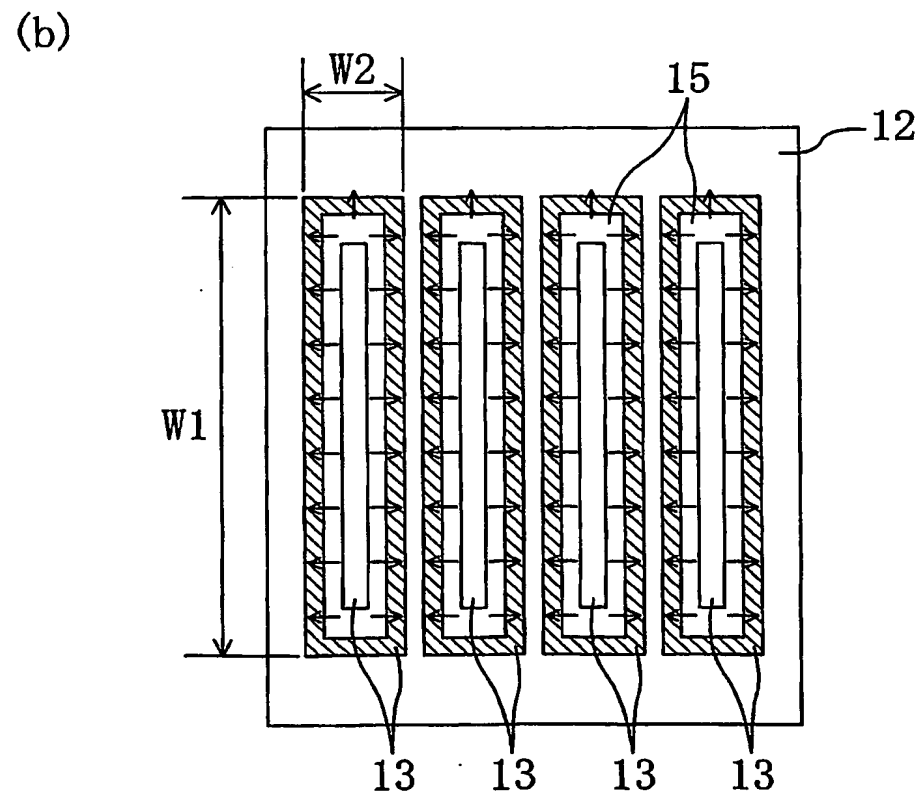
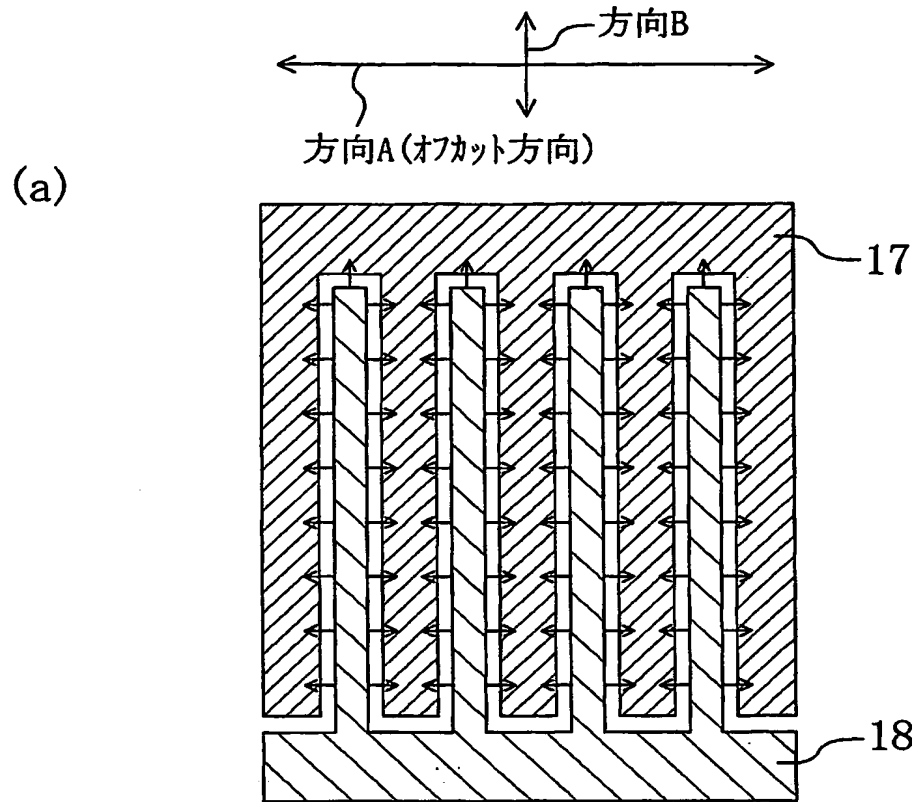
(a)



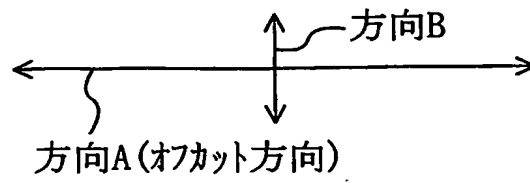
(b)



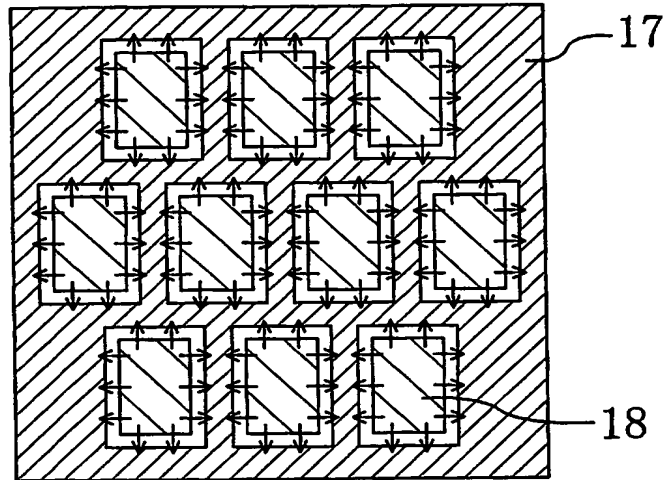
【図5】



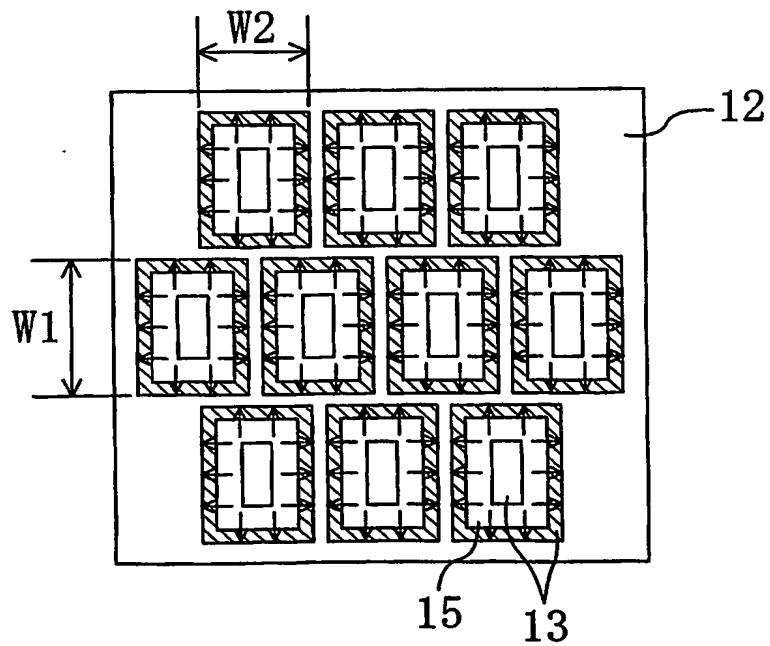
【図 6】



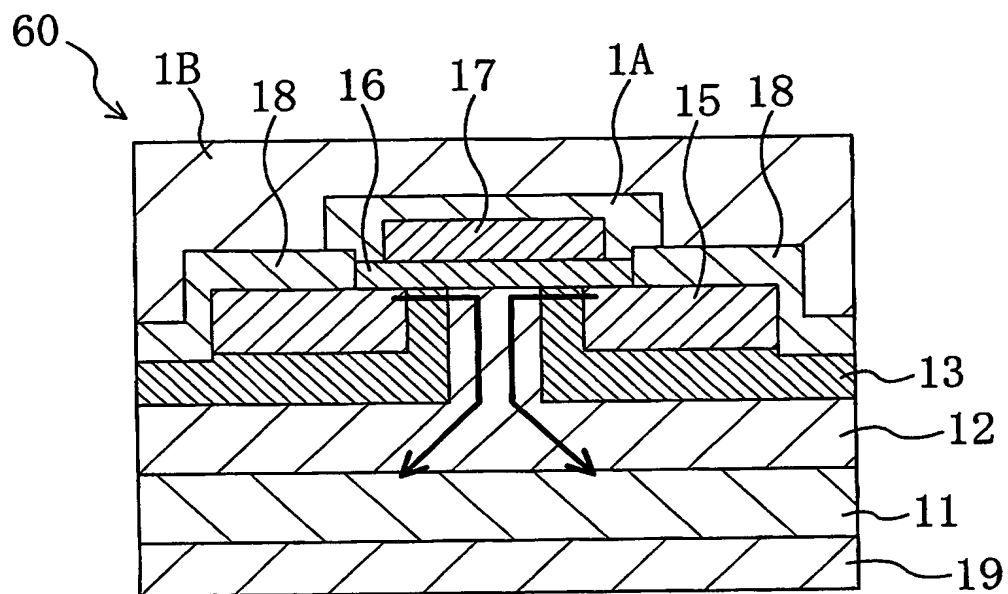
(a)



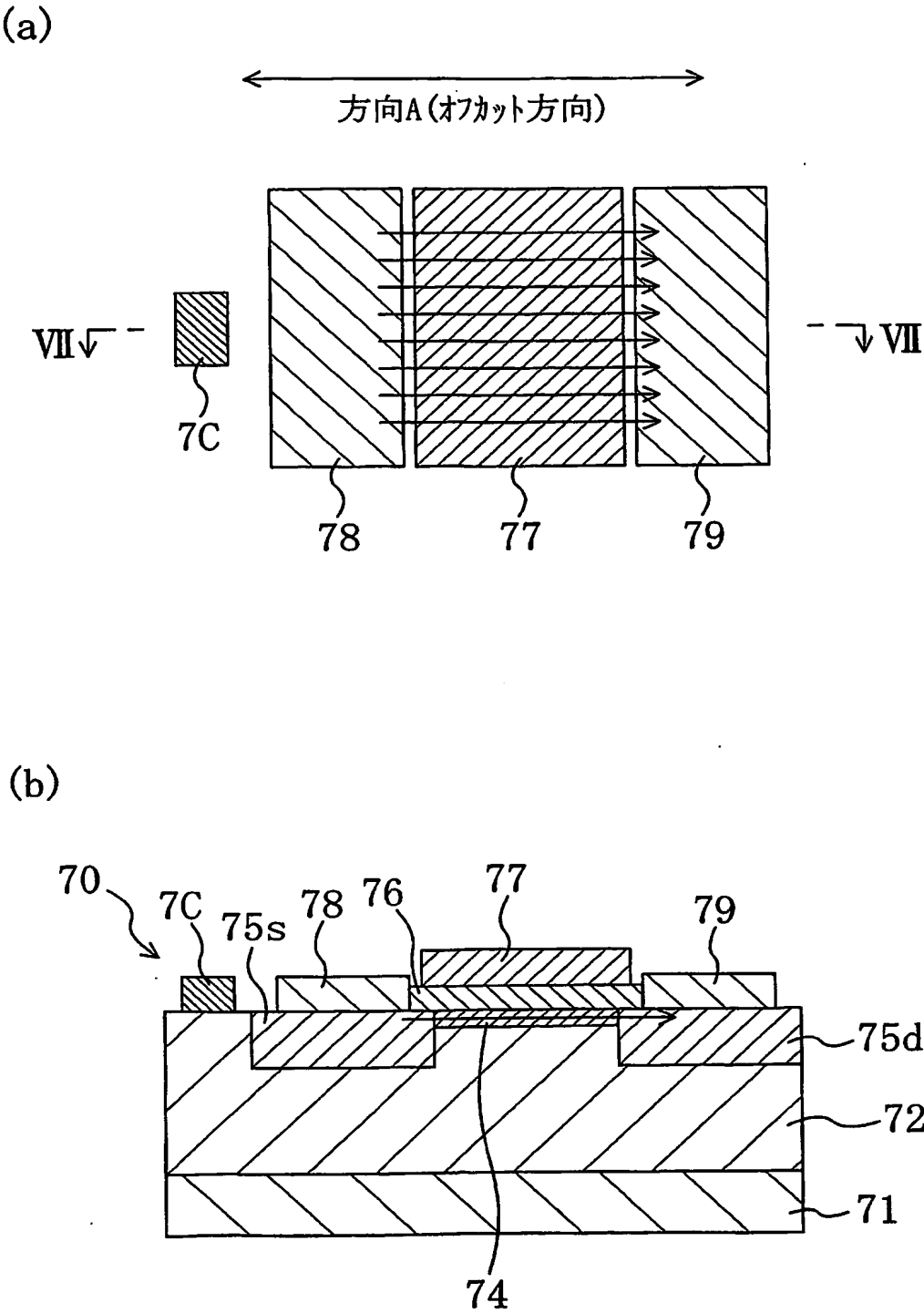
(b)



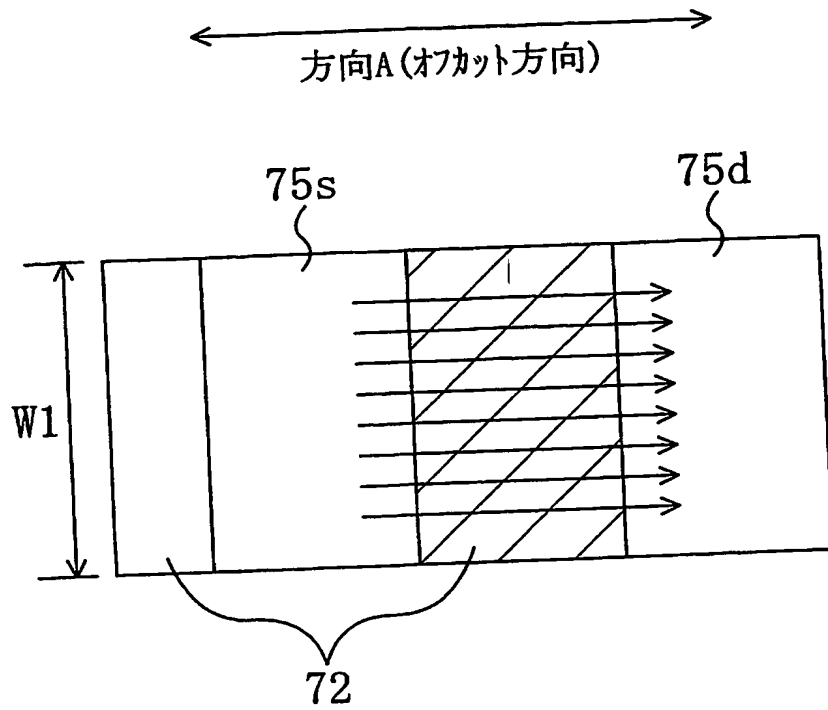
【図 7】



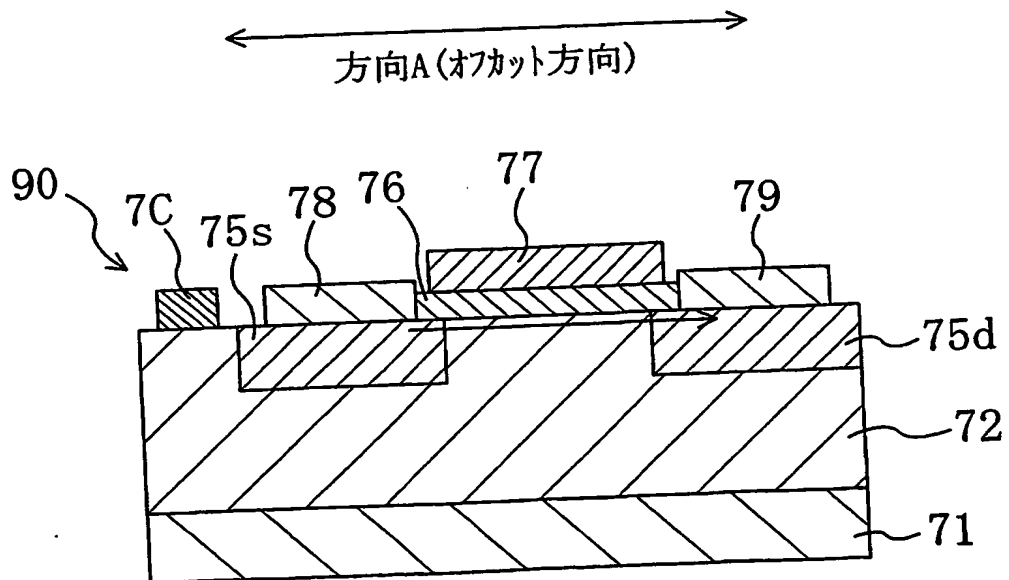
【図 8】



【図9】

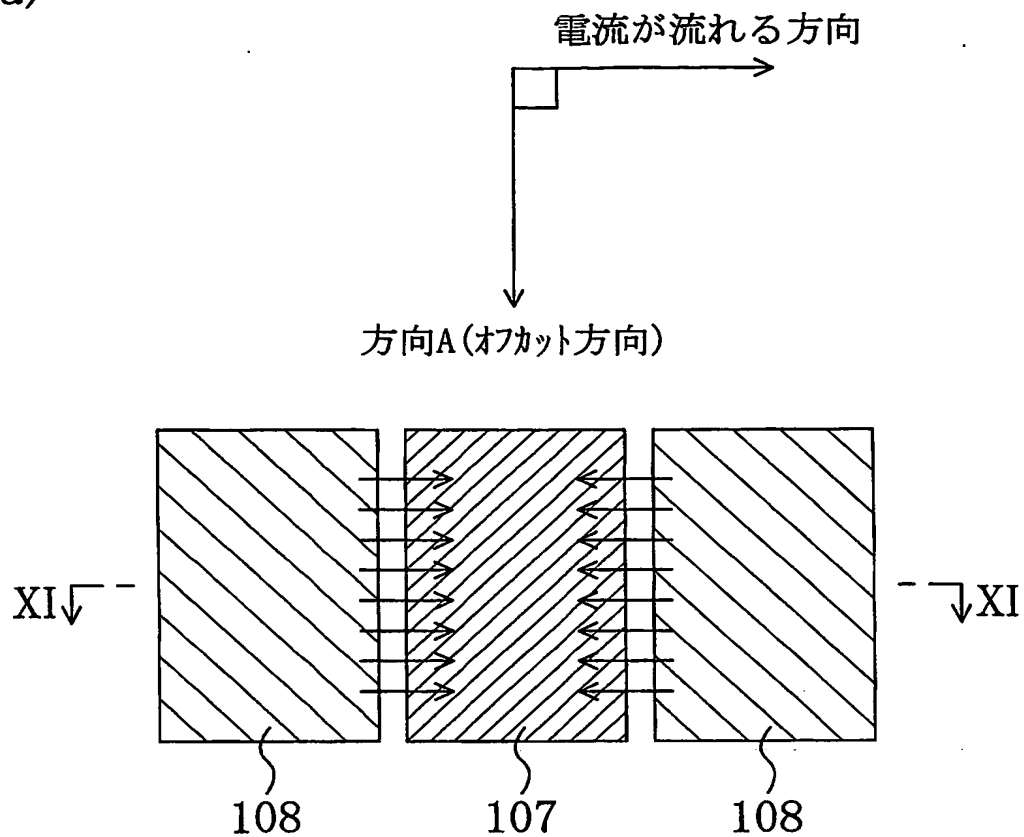


【図10】

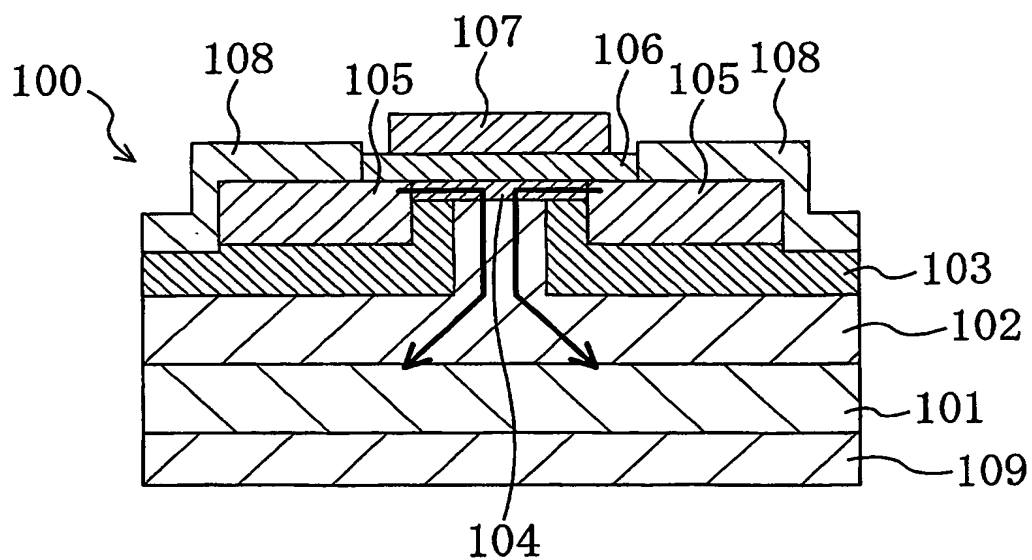


【図 11】

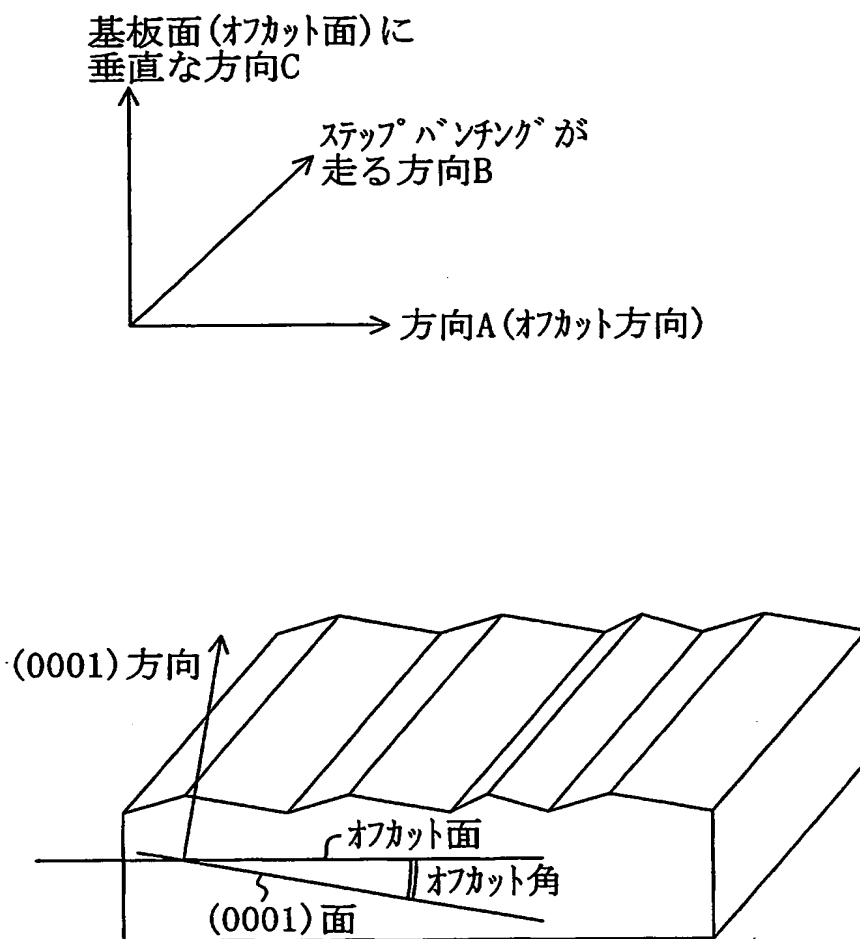
(a)



(b)



【図 12】



【書類名】 要約書

【要約】

【課題】 炭化珪素を用いた半導体素子において、高い電気特性を実現する。

【解決手段】 本発明の半導体素子では、炭化珪素基板 11 の上に設けられた n 型の炭化珪素層 12 は、(0001) 面から $\langle 11-20 \rangle$ 方向にオフカットされた上面を有している。そして、チャネル領域 14 において、オフカット方向に沿って流れる電流が支配的となるようにゲート電極 17 やソース電極 18 が配置されている。

本発明では、ゲート絶縁膜 17 を形成した後に、V 族元素を含む雰囲気下で熱処理を行う。これにより、炭化珪素層 12 とゲート絶縁膜の界面において界面準位密度が低下するため、オフカット方向 A に垂直な方向よりもオフカット方向 A のほうが電子移動度が高くなる。

【選択図】 図 1

特願 2 0 0 3 - 3 9 3 3 2 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017425

International filing date: 24 November 2004 (24.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-393320
Filing date: 25 November 2003 (25.11.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse